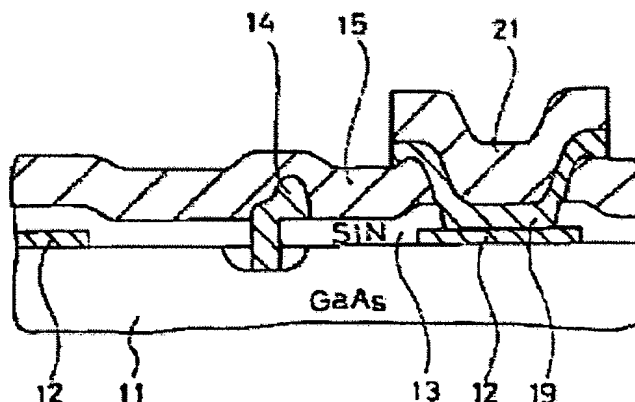


No title available**Patent number:** JP5275373**Publication date:** 1993-10-22**Inventor:****Applicant:****Classification:**

- international: *H01L21/288; H01L21/312; H01L21/338; H01L21/768;
H01L29/417; H01L29/812; H01L21/02; H01L21/70;
H01L29/40; H01L29/66; (IPC1-7): H01L21/288;
H01L21/312; H01L21/338; H01L21/90; H01L29/50;
H01L29/812*

- european:**Application number:** JP19920067265 19920325**Priority number(s):** JP19920067265 19920325**Report a data error here****Abstract of JP5275373**

PURPOSE:To form plated electrodes stably by preventing the stepped breaking of plating electrodes. **CONSTITUTION:**A first insulating film 13 composed of a silicon nitride film 15 composed of polyimide are formed on ohmic electrodes 12. Then a second and first insulating films 15 and 13 are etched in order to form openings. After that, additional etching of the second insulating film 15 is performed to smooth the side walls. The plating electrode 19 is formed on the whole surface, and an upper-layer electrode 21 is formed by electrolytic plating.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-275373

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/288	E	7738-4M		
21/312	B	8518-4M		
21/90	C	7735-4M		
29/50	J	7738-4M		
		9171-4M		
			H 0 1 L 29/ 80	K
			審査請求 未請求 請求項の数 2 (全 5 頁) 最終頁に続く	

(21)出願番号 特願平4-67265

(22)出願日 平成4年(1992)3月25日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 近藤 雅陽

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

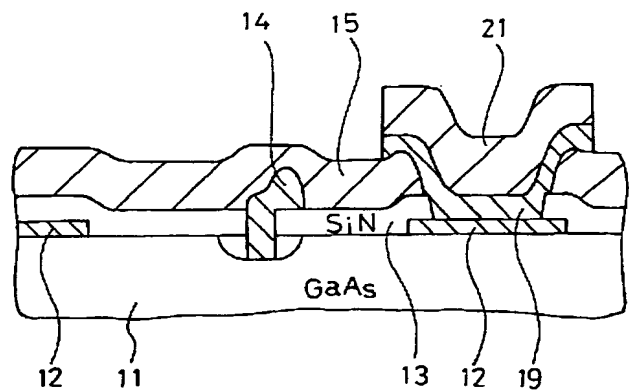
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 化合物半導体装置の製造方法

(57)【要約】

【目的】 メッキ用電極のステップ断線を防止することにより、メッキ電極を安定して形成すること。

【構成】 オーミック電極(12)の上にシリコン窒化膜から成る第1の絶縁膜(13)とポリイミドから成る第2の絶縁膜(15)を形成する。レジストパターンにより第2の絶縁膜(15)と第1の絶縁膜(13)を順次開口し、その後で第2の絶縁膜(15)の追加エッチを行うことによりなだらかな側壁を形成する。全面にメッキ用電極(19)を形成し、電解メッキ法により上層電極(21)を形成する。



11: Ga As 基板

13: 第1の絶縁膜

19: メッキ用電極

12: オーミック電極

15: 第2の絶縁膜

21: 上層電極

【特許請求の範囲】

【請求項1】 半絶縁性基板の上部にオーミック電極を形成し、その上にシリコン窒化膜から成る第1の絶縁膜を形成し、その上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上にレジストパターンを形成する工程と、前記レジストパターンにより前記第2の絶縁膜を開口する工程と、

続いて前記第1の絶縁膜を開口する工程と、前記第2の絶縁膜の開口を前記第1の絶縁膜の開口より大となるように前記第2の絶縁膜を追加エッチする工程と、

前記レジストパターンを除去して、前記オーミック電極および前記第2の絶縁膜上にメッキ用電極を形成する工程と、

前記オーミック電極の上部に電解メッキにより電極を形成する工程とを具備することを特徴とする化合物半導体装置の製造方法。

【請求項2】 前記第2の絶縁膜がポリイミド系絶縁膜であることを特徴とする請求項1記載の化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、化合物半導体装置に係り、特に電解メッキによる電極形成時の不良発生を防止できる化合物半導体装置の製造方法に関する。

【0002】

【従来の技術】 GaAs等の化合物半導体は、シリコンに比べ電子移動度が数倍高いため、GaAsを能動層とする種々の電界効果トランジスタが高速および高周波トランジスタとして使用されている。代表的なものとして、GaAs MESFET（ショットキゲート電界効果形トランジスタ）等がある。係るGaAs MESFETにおいては、ゲート長を短くすることが直接高速性及び高周波特性に影響するので、サブミクロンオーダーのゲート長を得るために種々の技術が開発されている。

【0003】 図8は、従来の高出力GaAs MESFETのパターン図の一部である。符号1は、ドレイン電極であり、符号2は、ソース電極であり、符号3は、ソース電極とドレイン電極間の電流を制御するショットキコンタクトのTi/Alゲート電極である。ソース電極2、およびドレイン電極1は、まず高濃度N型GaAs層にオーミックコンタクトするためのAu/Ge/Ni等からなるオーミック電極層が形成され、その上にTi/Pt/Au、さらにその上の電解メッキによるAu、等のように上層電極層が積層された積層構造となる。高出力FETにおいては、図示するように能動領域において、多数のストライプ状のソース/ドレイン電極が交互に櫛歯状に配列されており、いわば、多数のFETが並列に接続された状態となっている。

【0004】 斯るGaAs MESFETにおいては、ゲート電極（3）と前記オーミック電極とが直接GaAs表面に接触しており、両者が交差してしまうことから、前記オーミック電極を島状に点在させ、点在したオーミック電極を層間絶縁した上層電極で電気接続する手法が採られている。また、光露光技術によりサブミクロンオーダーのゲート長を得る手法として、特願平02-202024号に開示したようにシリコン窒化膜と斜め蒸着を利用した製造方法がある。これら両者を採用すると、前記オーミックコンタクト上には前記シリコン窒化膜と層間絶縁用の絶縁膜とが被覆し、この2層膜を開口して上層電極を形成するプロセスとなる。

【0005】 このプロセスを図9と図10を用いて説明する。先ず図9を参照して、GaAs基板（4）表面にオーミック電極（5）が形成され、その上をシリコン窒化膜から成る第1の絶縁膜（6）と層間絶縁用の第2の絶縁膜（7）とが被覆する。この上にレジストパターン（8）を形成し、ウェットエッチャントで第2の絶縁膜（7）を開口し、続いて異方性ドライエッチングで第1の絶縁膜（6）を開口する。次に図10を参照して、全面にメッキ用電極（9）を形成し、レジストパターンを形成した後電解メッキ手法によりオーミック電極（5）の上部に選択的に上層電極を付着するものである。

【0006】

【発明が解決しようとする課題】 しかしながら、上記のプロセスにおいては、第1の絶縁膜（6）の膜厚のばらつきを吸収するため、そのエッチングは多少オーバーエッチになるような条件で行う必要がある。すると、第2の絶縁膜（7）として簡便性に優れたポリイミド系絶縁膜等を利用すると、シリコン窒化膜との選択性に極めて優れるため、第1の絶縁膜（6）の開口が第2の絶縁膜（7）の開口より少し拡大され、第2の絶縁膜（7）がオーバーハング形状になってしまう。すると、メッキ用電極（9）が前記オーバーハングでステップ断線を生じ易く、ウェハ内でステップ断線を生じたものと生じないものとが散在することになる。電解メッキ工程においては、付着させるべき金属の量に応じた電流を流しながらメッキを行うので、部分的にステップ断線を生じていると電流がステップ断線していない部分に集中してこの部分に過大に金属が付着することになる。断線した部分には金属が全く付着しないから、前記過大に付着した部分を含めて、結局ウェハ内全てのチップが不良になってしまうという欠点があった。

【0007】

【課題を解決するための手段】 本発明は上述した欠点に鑑み成されたもので、レジストパターンにより第2の絶縁膜（15）と第1の絶縁膜（13）を開口した後、再度第2の絶縁膜（15）を追加エッチして第1の絶縁膜（13）の開口より拡大する工程を具備することにより、メッキ用電極のステップ断線による全チップ不良の

発生を防止できる化合物半導体装置の製造方法を提供するものである。

【0008】

【作用】本発明によれば、第2の絶縁膜（15）の追加エッチによりその開口を第1の絶縁膜（13）より拡大するので、第2の絶縁膜（15）のオーバーハングが消滅し、側壁をなだらかな段付きのテーパ形状に形成できる。

【0009】

【実施例】以下に本発明の製造方法を図1～図7を用いて詳細に説明する。図1を参照して、先ずGaAs基板（11）表面に形成したN⁺型層の上に2000～3000ÅのAuGe/Ni/Auから成るソース・ドレイン用のオーミック電極（12）を形成し、熱処理によってGaAs層にオーミックコンタクトさせる。次いで全面に5000Å程度のシリコン窒化膜（Si₃N₄）をCVD堆積して第1絶縁膜（13）を形成し、斜め蒸着を利用して第1の絶縁膜（13）の開口とGaAs基板（11）のリセスエッチ、およびゲート電極（14）の形成を行う。その後全面にPIX（日立化成）等のポリイミド系絶縁膜をスピンオン塗布、ベーキングして1～2μ厚の第2の絶縁膜（15）を形成し、その上に通常

のホトリソ工程によってオーミック電極（12）上に開口を有するレジストパターン（16）を形成する。

【0010】図2を参照して、レジストパターン（16）により第2の絶縁膜（15）をエッチングすることによって第2の絶縁膜（15）に開口（17）を形成する。手法はウェット手法でエチレンジアミン+ヒドラジンヒドラー溶液を用いた。図3を参照して、レジストパターン（16）を付着したまま、第1の絶縁膜（13）をエッチングすることによって第1の絶縁膜（13）に開口（18）を形成する。手法はRIE（リアクティブ・イオン・エッチング）による異方エッチングを用いた。このエッチングは、先の工程で開口した第2の絶縁膜（15）のパターンをマスクとするような形態で行なわれる。また、シリコン窒化膜エッチングガスに対して第2の絶縁膜（15）のポリイミドは極めて高い選択性を有し、且つ絶縁膜（12）は異方モードでのエッチングでも数％程度の横方向エッチングが進行するので、第1の絶縁膜（12）の開口（18）は第2の絶縁膜（15）のそれより大となり、第2の絶縁膜（15）の側壁が開口内に突出してオーバーハング形状になる。

【0011】図4を参照して、再度エチレンジアミン+ヒドラジンヒドラー溶液によって第2の絶縁膜（15）を数十秒追加エッチングする。第1の絶縁膜（13）はエッチングされず、レジストパターン（16）によって第2の絶縁膜（15）の側壁だけがエッチングされるので、第2の絶縁膜（15）の開口（17）が拡大され第1の絶縁膜（13）のそれより大となる。この結果第1の絶縁膜（13）と第2の絶縁膜（15）とは段

差を持つなだらかなテーパ形状の側壁を形成する。

【0012】図5を参照して、レジストパターン（16）を除去した後、蒸着又はスパッタ法により、Ti/Pt/Auを順次積層して全面に6000～8000Åのメッキ用電極（19）を形成する。第1と第2の絶縁膜（13）（15）はなだらかなテーパ形状の開口を有するので、オーミック電極（12）上および第2の絶縁膜（15）上に断線することなくメッキ用電極（19）を付着できる。

【0013】図6を参照して、メッキ用電極（19）上に通常のホトリソ工程によってオーミック電極（12）上に開口を有するレジストパターン（20）を形成し、メッキ用電極（12）に電解（電流）をかけた状態でメッキを行う電解メッキにより、露出したメッキ用電極（19）上に2～3μ厚のAuから成る上層電極（21）を形成する。

【0014】図7を参照して、レジストパターン（20）を除去した後、メッキした上層電極（21）をマスクとして利用することにより、Au, Pt, Tiを順次エッチングしてメッキ用電極（19）の不要部分を除去する。この上層電極（21）は、図8に示したように櫛歯状に延在して点在するソース又はドレイン用オーミック電極（12）を夫々電気接続する。また、ゲート/ソース/ドレイン用の外部接続用ボンディングパッドを形成する。

【0015】以上に説明した本発明の製造方法によれば、第2の絶縁膜（15）の追加エッチを行うことによりオーミック電極（12）上の開口の側壁をなだらかな形状に形成できるので、メッキ用電極（19）のステップ断線を確実に防止できる。そのため、電解メッキ工程において露出させたメッキ用電極（19）の全てに上層電極（21）をメッキすることが可能となる。

【0016】

【発明の効果】以上に説明した通り、本発明によればメッキ用電極（19）のステップ断線を防止できるので、全チップに均一に上層電極（21）を形成できる利点を有する。従って、シリコン窒化膜と斜め蒸着を利用したサブミクロンオーダーのゲート長を有するGaAs MESFETを、ポリイミド絶縁膜を利用して簡便且つ安価に製造できる利点を有するものである。

【図面の簡単な説明】

【図1】本発明の製造方法を説明するための第1の断面図である。

【図2】本発明の製造方法を説明するための第2の断面図である。

【図3】本発明の製造方法を説明するための第3の断面図である。

【図4】本発明の製造方法を説明するための第4の断面図である。

【図5】本発明の製造方法を説明するための第5の断面

図である。

【図6】本発明の製造方法を説明するための第6の断面図である。

【図7】本発明の製造方法を説明するための第7の断面図である。

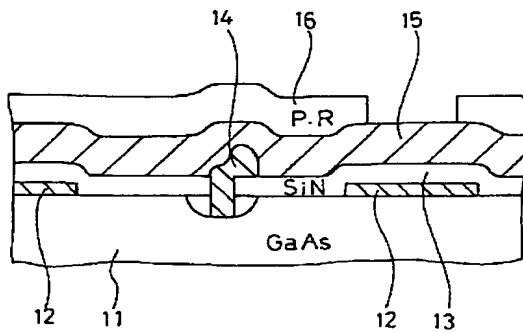
*

*【図8】GaAs MESFETの電極パターンを示す平面図である。

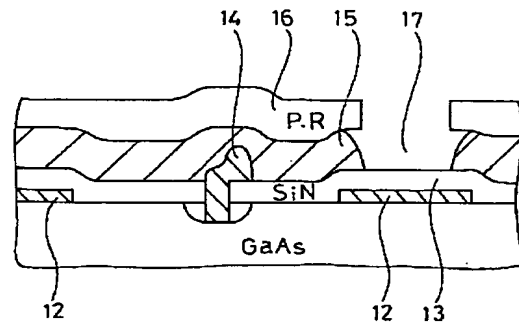
【図9】従来例を説明するための第1の断面図である。

【図10】従来例を説明するための第2の断面図である。

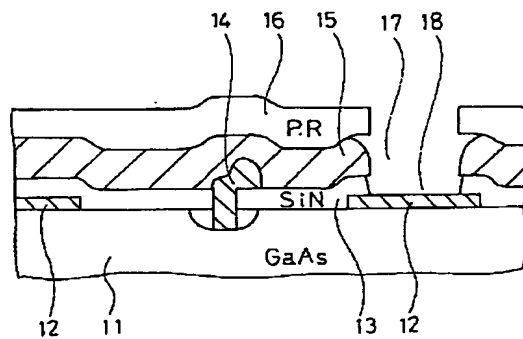
【図1】



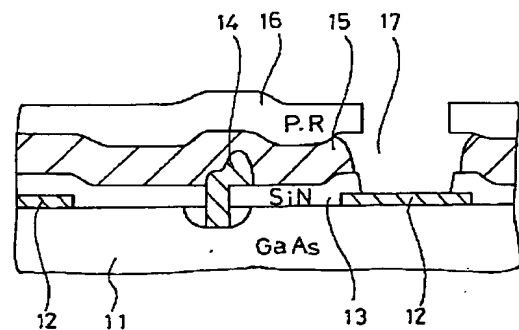
【図2】



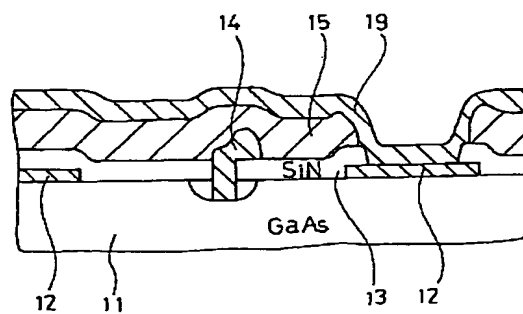
【図3】



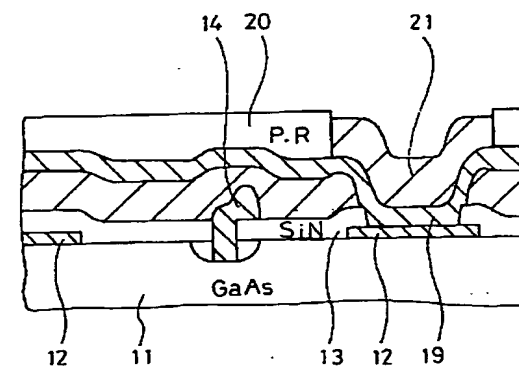
【図4】



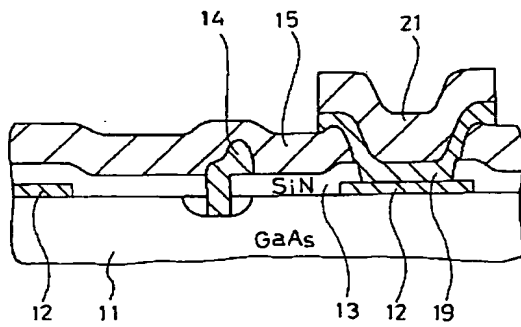
【図5】



【図6】

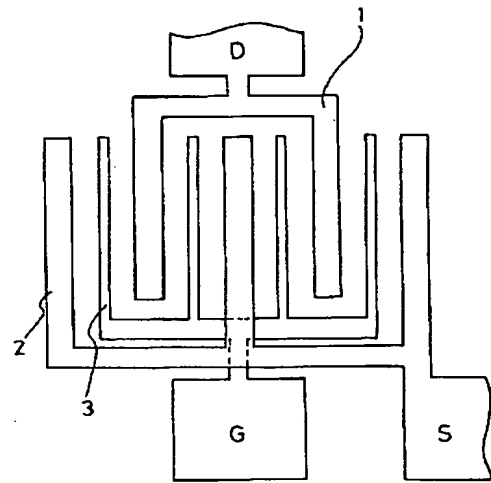


【図 7】

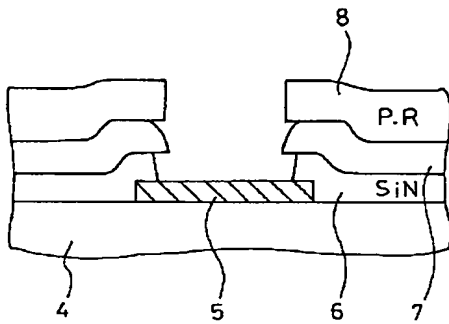


11: Ga As 基板 12: オーム電極
13: 第1の絶縁膜 15: 第2の絶縁膜
19: メッキ用電極 21: 上層電極

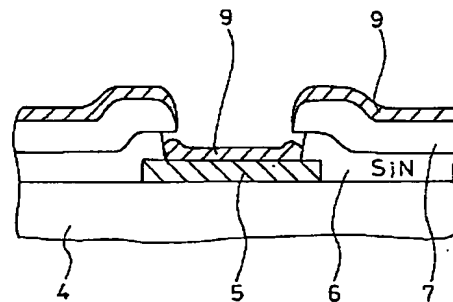
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 21/338

29/812

識別記号

庁内整理番号

F I

技術表示箇所

(19) Japan Patent Office (JP)

(12) Unexamined Patent Application (A)

(11) Publication Number of Patent Application: H5-275373

(43) Date of Publication: October 22, 1993 (H5)

5

(51) Int. Cl. ⁵	Classification Symbol	FI
H01L 21/288	E 7738-4M	
21/312	B 8518-4M	
21/90	C 7735-4M	
10 29/50	J 7738-4M	
	9171-4M	H01L 29/80 K

Request for Examination: Not Filed

Number of Claims: 2 (5 pages in total)

to be continued in the last page

15	(21) Application Number	Japanese Patent Application No. H4-67265
	(22) Date of Application	March 25, 1992 (H4)
	(71) Applicant	000001889 SANYO Electric Co., Ltd. 18, Keihan-Hondori 2-Chome, Moriguchi City, Osaka
20	(72) Inventor	Masaharu KONDO c/o SANYO Electric Co., Ltd. 18, Keihan-Hondori 2-Chome, Moriguchi City, Osaka
	(74) Agent	Patent Attorney Takuji NISHINO
	(54) [Title of the Invention]	METHOD FOR MANUFACTURING COMPOUND
25	SEMICONDUCTOR DEVICE	
	(57) [Abstract]	
	[Object]	To form a plated electrode stably by preventing stepped breaking of a plated electrode.
30	[Structure]	A first insulating film (13) composed of a silicon nitride film and a second insulating film (15) composed of polyimide are formed over an ohmic electrode (12). The second insulating film (15) and the first insulating film (13) are provided with an opening in this order with a resist pattern, and then the second insulating film

(15) is etched additionally, thereby forming smooth sidewalls. A plated electrode (19) is formed on an entire surface, and an upper-layer electrode (21) is formed by an electrolytic plating method.

[Scope of Claims]

[Claim 1]

A method for manufacturing a compound semiconductor device characterized by comprising the steps of:

5 forming an ohmic electrode over a semi-insulating substrate, forming a first insulating film composed of a silicon nitride film thereover, and forming a second insulating film thereover;

 forming a resist pattern over the second insulating film;

 providing an opening for the second insulating film with the resist pattern;

10 providing an opening for the first insulating film in sequence;

 etching the second insulating film additionally so that the opening of the second insulating film becomes larger than the opening of the first insulating film;

 removing the resist pattern and forming a plated electrode over the ohmic electrode and the second insulating film; and

15 forming an electrode over the ohmic electrode by electrolytic plating.

[Claim 2]

The method for manufacturing a compound semiconductor device according to Claim 1, characterized in that the second insulating film is a polyimide-based insulating film.

20 [Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Pertains] The present invention relates to a compound semiconductor device, in particular, to a method for manufacturing a compound semiconductor device in which a defect due to electrolytic plating when
25 forming an electrode can be prevented.

[0002]

[Conventional Art] Various field-effect transistors which include GaAs as an active layer are used as high-speed and high-frequency transistors because compound semiconductors such as GaAs have higher electron mobility than silicon by severalfold.

30 Representatives are GaAs MESFETs (Schottky gate field-effect transistors) and the like. In the GaAs MESFET, to decrease a gate length directly affects the high speed quality and the high frequency characteristic, and therefore various technologies have been

developed in order to obtain a gate length of a submicron order.

[0003]

FIG. 8 is a part of a pattern diagram of a conventional high-output GaAs MESFET. A reference numeral 1 denotes a drain electrode; a reference numeral 2 denotes a source electrode; and a reference numeral 3 denotes a Ti/ Al gate electrode of a Schottky contact which controls electric current between the source electrode and the drain electrode. The source electrode 2 and the drain electrode 1 have a stacked structure in which an ohmic electrode layer composed of Au/ Ge/ Ni and the like for having an ohmic contact with a high-concentration N-type GaAs layer is formed, and then an upper-layer electrode layer is stacked over the ohmic electrode layer, for example, in such a manner that Ti/ Pt/ Au, and then Au are deposited thereover by electrolytic plating. In a high-output FET, as shown in the diagram, a number of source/drain electrodes in a stripe form are arranged alternately in a shape of a comb. In other words, a number of FETs are connected in series.

15 [0004]

In such a GaAs MESFET, the gate electrode (3) and the ohmic electrode are in direct contact with a surface of GaAs and these electrodes intersect each other. In view of this problem, the ohmic electrodes are scattered in an island-form and the scattered ohmic electrodes are electrically connected through an upper-layer electrode which is interlayer-insulated. With regard to a method for obtaining a gate length of a submicron order with light exposure technology, there is a method in which a silicon nitride film and oblique deposition are utilized, as disclosed in Japanese Patent Application No. H02-202024. If the both are employed, the silicon nitride film and an insulating film for interlayer insulation cover the ohmic contact, and the upper-layer electrode is formed after providing an opening in the two-layer film.

25

[0005]

This process is explained with reference to FIG. 9 and FIG. 10. First, with reference to FIG. 9, an ohmic electrode (5) is formed on a surface of a GaAs substrate (4), and then a first insulating film (6) which is composed of a silicon nitride film and a second insulating film (7) for interlayer insulation cover the ohmic electrode (5). A resist pattern (8) is formed thereover, the second insulating film (7) is provided with an opening using a wet etchant, and then the first insulating film (6) is provided with an

30

opening by anisotropic dry etching. Next, with reference to FIG. 10, a plated electrode (9) is formed over an entire surface, a resist pattern is formed, and then an upper-layer electrode is selectively attached to an upper portion of the ohmic electrode (5) by an electrolytic plating method.

5 [0006]

[Problem to be Solved by the Invention] In the above process, however, the first insulating film (6) needs to be over-etched a little in order to absorb variation in the thickness of the first insulating film (6). Under such a condition, if a polyimide-based insulating film, which is easy to handle, or the like is used for the second insulating film (7), the opening of the first insulating film (6) is enlarged to be a little larger than the opening of the second insulating film (7) since selectivity with the silicon nitride film is excellent, and the second insulating film (7) is formed into an overhanging shape. Consequently, the plated electrode (9) is prone to stepped breaking due to the overhang, and broken electrodes and unbroken electrodes are scattered in a wafer. In an electrolytic plating process, plating is performed as electric power is fed according to an amount of metal to be attached. Therefore, if there are stepped breakings partially, the electric current concentrates in portions without stepped breakings, and the metal is excessively attached to these portions. Since no metal is attached to portions with stepped breakings, there was a shortcoming that all chips in the wafer, including the portions with metal attached excessively, ultimately became defective.

20 [0007]

[Means for Solving the Problem] The present invention was made in view of the above shortcoming, and provides a method for manufacturing a compound semiconductor device in which occurrence of defects in all the chips can be prevented by including a step of additional etching of a second insulating film (15) again after providing an opening for the second insulating film (15) and a first insulating film (13) with a resist pattern, whereby the opening of the second insulating film (15) is enlarged to be larger than the opening of the first insulating film (13).

[0008]

30 [Effect] According to the present invention, the opening of the second insulating film (15) is enlarged to be larger than that of the first insulating film (13) by additional etching, whereby the overhang of the second insulating film (15) disappears and

sidewalls can be formed into a tapered shape with smooth steps.

[0009]

[Embodiment] Hereinafter, a manufacturing method of the present invention is explained in detail with reference to FIG. 1 to FIG. 7. With reference to FIG. 1, first, an ohmic electrode (12) for source or drain, which is composed of 2000~3000 Å of AuGe/Ni/ Au, is formed on an N⁺-type layer formed on a surface of a GaAs substrate (11), and the ohmic electrode (12) is made to have a ohmic contact with the GaAs layer by a heating process. Next, about 5000 Å of silicon nitride (Si_xN_y) film is deposited on an entire surface by a CVD method to form the first insulating film (13). And then, by oblique deposition, an opening is provided for the first insulating film (13), the GaAs substrate (11) is etched to have a recess, and a gate electrode (14) is formed. After that, a polyimide-based insulating film such as PIX (Hitachi Chemical) is coated on an entire surface by spinning-on and baked to form the second insulating film (15) with a thickness of 1~2 μ. A resist pattern (16) having an opening over the ohmic electrode (12) is formed over the second insulating film (15) by an ordinary photolithography process.

[0010]

With reference to FIG. 2, an opening (17) is formed in the second insulating film (15) by etching the second insulating film (15) with the resist pattern (16). A wet method using an ethylenediamine + hydrazinehydride solution was used. With reference to FIG. 3, an opening (18) is formed in the first insulating film (13) by etching the first insulating film (13) with the resist pattern (16) attached. An anisotropic etching method by RIE (reactive ion etching) was used. This etching is performed in such a manner that a pattern of the second insulating film (15), in which the opening was provided in the foregoing step, functions as a mask. Further, the polyimide of the second insulating film (15) has extremely high selectivity with respect to an etching gas of the silicon nitride film, and in the insulating film (12), about several % of lateral etching progresses even if it is anisotropic etching. Therefore, the opening (18) of the first insulating film (12) becomes larger than that of the second insulating film (15), whereby the sidewall of the second insulating film (15) sticks out to the opening to have an overhanging shape.

[0011]

With reference to FIG. 4, again, the second insulating film (15) is etched additionally for several tens of seconds using an ethylenediamine + hydrazinehydride solution. The opening (17) of the second insulating film (15) is enlarged to be larger
5 than that of the first insulating film (13) because the first insulating film (13) is not etched and only the sidewall of the second insulating film (15) is etched with the resist pattern (16). As a result, the first insulating film (13) and the second insulating film (15) have sidewalls in a smoothly tapered shape with steps.

[0012]

10 With reference to FIG. 5, after removing the resist pattern (16), Ti/ Pt/ Au layers are stacked in this order by an evaporation or sputtering method to form a 6000~8000 Å of plated electrode (19) on an entire surface. The plated electrode (19) can be attached to the ohmic electrode (12) and the second insulating film (15) without breaking because the first and the second insulating films (13) and (15) have openings in a
15 smoothly tapered shape.

[0013]

With reference to FIG. 6, a resist pattern (20) having an opening over the ohmic electrode (12) is formed over the plated electrode (19) by an ordinary photolithography process. Then, an upper-layer electrode (21) with a thickness of 2~3 μ composed of
20 Au is formed over the exposed plated electrode (19) by electrolytic plating in which plating is performed as electrolysis (electric current) is applied to the plated electrode (12).

[0014]

With reference to FIG. 7, after removing the resist pattern (20), Au, Pt, and Ti
25 are etched in this order to remove an unnecessary portion of the plated electrode (19) by utilizing the plated upper-layer electrode (21) as a mask. This upper-layer electrode (21) electrically connects each ohmic electrode (12) for source or drain, which exists in a shape of a comb and is scattered as shown in FIG. 8. Further, the upper-layer electrode (21) forms a bonding pad for external connection for gate/source/drain.

30 [0015]

The manufacturing method of the present invention described above can surely prevent the stepped breaking of the plated electrode (19) because the sidewalls of the

opening over the ohmic electrode (12) can be formed into a smooth shape by performing additional etching of the second insulating film (15). Accordingly, the upper-layer electrode (21) can be plated over the entire exposed plated electrode (19) which was exposed in an electrolytic plating process.

5 [0016]

[Effect of the Invention] As explained above, the present invention can prevent the stepped breaking of the plated electrode (19), and therefore has an advantage of forming the upper-layer electrode (21) uniformly in all the chips. Accordingly, the present invention has an advantage of manufacturing a GaAs MESFET which has a gate length
10 of a submicron order and utilizes a silicon nitride film and oblique deposition, with ease and low cost, using a polyimide insulating film.

[Brief Description of the Drawings]

[FIG. 1] A first cross-sectional view for illustrating a manufacturing method of the present invention.

15 [FIG. 2] A second cross-sectional view for illustrating a manufacturing method of the present invention.

[FIG. 3] A third cross-sectional view for illustrating a manufacturing method of the present invention.

20 [FIG. 4] A fourth cross-sectional view for illustrating a manufacturing method of the present invention.

[FIG. 5] A fifth cross-sectional view for illustrating a manufacturing method of the present invention.

[FIG. 6] A sixth cross-sectional view for illustrating a manufacturing method of the present invention.

25 [FIG. 7] A seventh cross-sectional view for illustrating a manufacturing method of the present invention.

[FIG. 8] A plan view showing an electrode pattern of a GaAs MESFET.

[FIG. 9] A first cross-sectional view for illustrating a conventional example.

[FIG. 10] A second cross-sectional view for illustrating a conventional example.

30 [Explanation of Reference Numerals]

11: GaAs substrate 12: ohmic electrode 13: first insulating film 15: second insulating film 19: plated electrode 21: upper-layer electrode

continuation from the front page

(51) Int. Cl. ⁵	Classification Symbol	JPO file number	FI	area for indication of technology
----------------------------	-----------------------	-----------------	----	--------------------------------------

5	H01L 21/338			29/812
---	-------------	--	--	--------